

1/5/3
DIALOG(R)File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.

05374754
METHOD OF UNIFORMING THICKNESS OF SILICON ON SUBMICRON SILICON LINE AND
POLYSILICON LINE

PUB. NO.: 08-330254 [JP 8330254 A]
PUBLISHED: December 13, 1996 (19961213)
INVENTOR(s): PUSHIYUKAA PURABUHAKAA APUTE
AJITSUTO PURAMOTSUDO PARANJIPU
APPLICANT(s): TEXAS INSTR INC <TI> [000741] (A Non-Japanese Company or
Corporation), US (United States of America)
APPL. NO.: 08-140422 [JP 96140422]
FILED: June 03, 1996 (19960603)
PRIORITY: 7-460,345 [US 460345-1995], US (United States of America),
June 02, 1995 (19950602)
INTL CLASS: [6] H01L-021/28; H01L-021/285; H01L-021/324; H01L-021/3205;
H01L-021/203
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS);
R100 (ELECTRONIC MATERIALS -- Ion Implantation)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-330254

(43) 公開日 平成8年(1996)12月13日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28	3 0 1		H 0 1 L 21/28	3 0 1 D
21/285	3 0 1		21/285	3 0 1 T
21/324			21/324	Z
21/3205			21/203	S
// H 0 1 L 21/203			21/88	Q
審査請求 未請求 請求項の数 1 O L (全 6 頁)				

(21) 出願番号 特願平8-140422

(22) 出願日 平成8年(1996)6月3日

(31) 優先権主張番号 4 6 0 3 4 5

(32) 優先日 1995年6月2日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インスツルメンツ インコーポ
レイテッドアメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 ブシュカー ブラブハカー アブテ

アメリカ合衆国テキサス州ダラス, マーク
ビル ドライブ 9010, ナンバー 809

(72) 発明者 アジット ブラモッド バランジブ

アメリカ合衆国テキサス州プラノ, ラウン
ドロック トレイル 3205

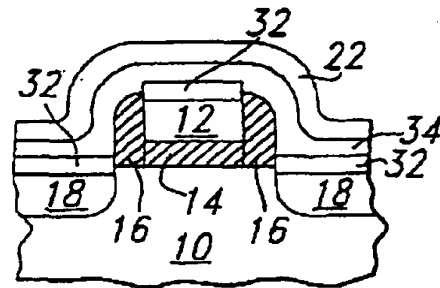
(74) 代理人 弁理士 浅村 皓 (外 3 名)

(54) 【発明の名称】 サブミクロンシリコン線とポリシリコン線のケイ化物の厚さを均一にする方法

(57) 【要約】

【課題】 0.5ミクロン以下のポリシリコンの細線に特に適したケイ化プロセスを開示する。

【解決手段】 半導体主要部(10)の上にチタン層(20)を堆積させる。つぎに(20)の上に反応被覆層(22)を堆積させ、後続の反応ステップ中に(20)に異物が入ることを防止する。窒素を含む雰囲気中で(20)を反応させることにより、ケイ化物層(32)と層(34)が形成する。つぎに(22)と(34)を除去して、(32)の上に熱処理被覆層(36)を堆積させ熱処理ステップ中に(32)に異物が入ることを防止する。オプションとして反応前非晶質化打ち込みおよび熱処理前非晶質化打ち込みを実行してもよい。つぎにケイ化物の熱処理を実行して、より低い抵抗率の相のケイ化物に変える。上記プロセスにより、低面積抵抗率のケイ化物を得ることができる。



1

【特許請求の範囲】

【請求項 1】 ポリシリコン線のケイ化プロセスであって、
前記ポリシリコン線の上にチタンの層を堆積させるステップと、
前記チタンの層を前記ポリシリコン線と反応させてケイ化物層を生成するステップと、
前記ケイ化物層の上に熱処理被覆層を堆積させるステップと、
前記熱処理被覆層を堆積させるステップの後に、600℃より高い温度で前記ケイ化物層を熱処理するステップと、を備えたことを特徴とするケイ化プロセス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般に半導体のプロセスに関し、より明確には、ポリシリコン細線にケイ化チタンを形成することに関する。

【0002】

【発明が解決しようとする課題】普通のケイ化チタンプロセスは、チタンの堆積、ケイ化反応、TiN（窒化チタン）の除去、ケイ化物の熱処理の4ステップから構成される。反応ステップ中に、チタンがシリコンと反応するN₂（窒素）の雰囲気においてチタンが反応を起こしてケイ化チタンを生成し、TiNその他のところに生成する。反応ステップ中に生成したケイ化物は、C49として公知の高抵抗率の相（phase）で表れるのが普通である。TiN層を除去するステップは、反応ステップ中に生成したTiN層を除去する。つぎに熱処理ステップが使用されて高抵抗率のケイ化物の相C49を、C54として公知のもっと低い抵抗率のケイ化物の相に変える。

【0003】ケイ化チタンを使用してVLSI（超大規模集積）回路のポリシリコンゲート領域とソース／ドレイン領域にケイ化物をクラディング（cladding）することは、VLSI回路のトランジスタの直列抵抗と局所的な配線による遅延（local interconnect delays）を低減するためよく使用される方法である。高濃度でドーピングされケイ化物になったポリシリコンの線の面積抵抗率は、線幅、特にサブミクロンの線幅の関数であることは公知である。これらの1つの説明では、割合が小さいケイ化物は、0.5ミクロン以下のポリシリコンの線でより高い抵抗率の相C49からより低い抵抗率の相C54に変わることが説明されている。別の説明では、不均一なケイ化物を生成することが説明されている。0.5ミクロン以下の線幅の面積抵抗率は特に難しい問題である。このため、この問題点を軽減してケイ化物の面積抵抗率が線幅に依存することを減少させる必要がある。

【0004】ケイ化チタンの面積抵抗率を減少させるため、いくつかの方法が使用されてきた。ケイ化物の面積抵抗率を減少させる1つの方法は、熱処理（anneal）の

2

温度を上げることである。しかし、温度を高くするとケイ化物の塊が形成される（agglomeration）ことになる。また温度を高くするとケイ化物が横方向に成長することになり、自己整合型の（self-aligned）ケイ化プロセスには許容されない。横方向に成長すると、MOSトランジスタのポリシリコンゲート領域とソース／ドレイン領域との間のケイ化物の導電性ストリンガー（stringers）になるので好ましくない。したがって、ケイ化物の面積抵抗率を減少させるには、これにかわる別の方法が望ましい。

【0005】ケイ化コバルトと共に使用されてきた方法には、窒化チタンの被覆層（capping layer）が含まれている。この窒化チタンの被覆層は、ケイ化反応ステップ中に使用されて、酸化物領域のコバルトの過成長を減少させるとともに面積抵抗率の変化容易性（variability）を小さくする。窒化チタンの被覆層は、ケイ化コバルト内の酸素による汚染（oxygen contaminants）を減少させる。生成中のケイ化物層内の異物（contaminants）を減少させることにより、ケイ化コバルトの面積抵抗率が減少する。

【0006】

【課題を解決する手段】被覆層を使用するケイ化チタンのプロセスをここに開示する。ポリシリコン／シリコンの部分にチタンの層を堆積させる。たとえばオプションとして、TiNの反応被覆層（react capping layer）をチタン層の上に堆積させてよい。反応被覆層を使用してケイ化反応が適切に実行されると、主としてより高い抵抗率の相C49を生成する。この反応被覆層は、もし残っていれば除去される。つぎに熱処理被覆層（anneal capping layer）をケイ化物層の上に堆積させ、障壁をつくって異物がケイ化物層に入ることを防止する。熱処理被覆層を使用して、この構造体が適切に熱処理されると、ケイ化物層は主としてより低い抵抗率の相C54に変わる。

【0007】本発明の利点は、ポリシリコン細線用の面積抵抗率が小さいケイ化物のプロセスを提供することである。

【0008】本発明の別の利点は、面積抵抗率が小さいケイ化物のプロセスを提供することであるが、このケイ化プロセスは、既存のCMOSプロセスと互換性があるとともに、熱的ステップ、印刷ステップあるいは高エネルギーイオン打ち込み（energetic-ion）ステップを既存のケイ化プロセスに追加しない。

【0009】これらの利点は、図面とともに本明細書を参照すれば当業者には明かであろう。

【0010】

【発明の実施の形態】本発明は、ケイ化物になったポリシリコンの細線の面積抵抗率を減少させる改良されたケイ化プロセスである。本発明は、0.5ミクロン以下のポリシリコンの細線に特に適している。図1は、ケイ化

50

3

プロセスが必要な代表的な半導体主要部10を示しているが、とくに表示されていないが、異なる図の対応する参照番号と記号は、対応する部分を表している。ソース/ドレインの熱処理がおこなわれた半導体主要部10を示している。ポリシリコンゲート12は、ゲート酸化膜14によって半導体主要部10から隔離されている。誘電体側壁16は、ポリシリコンゲート12の両側壁に配置されている。半導体主要部10のソース/ドレイン領域18は、ポリシリコンゲート12に隣接した横位置にある。図1の構造体上で実行される本発明によるケイ化プロセスを以下に説明する。

【0011】図2に示すように、チタン層20を約2000オングストロームから5000オングストロームの厚さで構造体の上に堆積させる。たとえば、約250℃から450℃の温度のスパッタ堆積法(sputter-deposition)を使用してチタン層20を堆積させることができる。希望するならば、チタン層20を堆積させた後あるいはチタン層20を堆積させる直前に、砒素などの重い種(species)を反応前非晶質化打ち込み(pre-react amorphization implant)を実行することができる。この反応前非晶質化打ち込みのより詳細な説明は、本願と同時に提出され、テキサス・インスツルメンツ社に譲渡されたParanjpeほかによる同時係属の米国特許出願第(TI-18951)号の中に見ることができる。

【0012】図2に示すように、つぎにチタン層20の上に反応被覆層22を堆積させる。あとで詳細に考察するように、反応被覆層22はオプションであるが、反応被覆層22があるほうが望ましい。望ましくは、反応被覆層22はTiNから構成される。しかし、チタン層20あるいは後続のプロセスステップと反応しなければ、別の障壁用物質を使用してもよい。たとえば、窒化シリコン、チタニウムタングステンあるいは金属カーバイドを反応被覆層22に使用してもよい。約2000オングストロームから20000オングストローム、好ましくは5000オングストロームの厚さに反応被覆層22を堆積させる。

【0013】つぎに図3に示すように、窒素を含む雰囲気中でチタン層20を反応させることにより、ケイ化物層32が形成する。ケイ化物層32は、シリコン(すなわち、ソース/ドレイン領域18とポリシリコンゲート12)の上に形成する。被覆層22が省略されると、窒素とチタン層20の反応からTiNの層34が(ケイ化物層32の上を含め)ほかのところに生成する。また層34には未反応のチタンが若干含まれる。被覆層があるところでも、被覆層22に窒素が含まれていれば(たとえば、被覆層22がTiNあるいは窒化シリコンの場合)、雰囲気からの窒素の拡散のため、あるいは反応被覆層22との反応のため、層34(TiN/Ti)が生成する。(被覆層の有無による)両実施例においては、

4

ケイ化反応ステップ中に、未反応のチタンとTiNとの化合物の層34を形成するかもしれない。従来の方法を使用して、ケイ化反応ステップを達成してもよい。たとえば、急速熱処理器(rapid thermal processor)を使用して、約695℃の温度の雰囲気中で約60秒間ケイ化反応を実行してもよい。高温のケイ化反応ステップが、オプションの反応前非晶質化打ち込みによって生じる損傷を熱処理で除去することに役立つように、600℃以上の温度が望ましい。しかし、ケイ化物の塊が形成されることを防止するため、温度を約950℃以下に維持しなければならない。さらに、MOSデバイスのゲート領域とソース/ドレイン領域との間にケイ化物のストリンガーを生じさせる横方向の過成長を防止するため、温度を約750℃以下に維持しなければならない。

【0014】図4に示すように、ケイ化反応ステップが終わると、反応被覆層22と層34は除去される。一例として、水酸化アンモニウムと水(NH₄OH:H₂O 2:H₂O)の中で約30分間超音波洗浄(megasonic bath)を使用できる。

20 【0015】本願と同時に提出され、テキサス・インスツルメンツ社に譲渡されたParanjpeほかによる同時係属の米国特許出願第(TI-18951)号に説明されているように、オプションとしてつぎに熱処理前非晶質化打ち込み(pre-anneal amorphization implant)を実行してもよい。熱処理前非晶質化打ち込みはドーズ量が小さく、低エネルギーの打ち込みであって、望ましくは、砒素、アンチモン、ゲルマニウムなどの重い種を使用する。たとえば、50キロ電子ボルト、2.0×10¹⁴/cm²で砒素を打ち込こんでよい。

30 【0016】図5に示すように、オプションの熱処理前非晶質化打ち込みが終わると、ケイ化物層32の上に熱処理被覆層36を堆積させることができる。(ケイ化反応中の)反応被覆層22あるいは(ケイ化物熱処理中の)熱処理被覆層36のいずれかを、またはそれらの両方を使用することができる。好適実施例においては、反応被覆層22と熱処理被覆層36の両方が使用されている。反応被覆層22と同様、熱処理被覆層36はTiNを含んでいる。しかし、ケイ化物層32あるいは後続のプロセスステップと反応しなければ、別の障壁用物質を使用してもよい。たとえば、窒化シリコン、チタニウムタングステンあるいは金属カーバイドを第2の被覆層36に使用してもよい。約2000オングストロームから20000オングストローム、好ましくは約5000オングストロームの厚さに熱処理被覆層36を堆積させる。

40 【0017】熱処理被覆層36を堆積させた後、ケイ化物熱処理が実行される。ケイ化物熱処理には、ケイ化反応ステップより高い温度が使用される。ソース/ドレインとゲートの熱処理に使用される(たとえば、約850℃から900℃の)温度に近い温度が望ましい。1つの模範的な熱処理は850℃で30秒間の熱処理である。

5

熱処理の温度が600℃以上になっていれば、ケイ化物の熱処理は、反応前非晶質化打ち込みおよび熱処理前非晶質化打ち込みの両方から生じる損傷を修復する。(しかし、温度を約950℃以下に維持しなければならない。約950℃の温度になるとケイ化物層32に塊が生じる。)

【0018】ケイ化物熱処理は、ケイ化物層32をより高い抵抗率の相C49からより低い抵抗率の相C54に変える。従来技術のケイ化プロセスにおいては、小さい割合のケイ化物は、ケイ化物層32の中の異物と局所的なストレス状態とによって、0.5ミクロン以下のポリシリコン線の中で低抵抗率相C54に変わると信じられてきた。しかし、反応被覆層22と熱処理被覆層36とは、ケイ化反応ステップ中およびケイ化物熱処理ステップ中に異物がケイ化物層32に入ることを防止する。このため、より大きい割合のケイ化物層32は、より低い抵抗率の相C54に変わり、面積抵抗率が減少する。また非晶質化前の各種打ち込みは、より低い抵抗率の相C54に変えることに役立つことで、面積抵抗率を減少するために役立つ。かくて本発明により、ポリシリコンの細線(すなわち、0.5ミクロン以下の細線)に対しても小さな面積抵抗率を得ることができる。

【0019】図6に示すように、上に説明したケイ化プロセスが完了すると、熱処理被覆層36は除去され、当業者には公知のようにデバイスの組立てが継続される。たとえば、ケイ化物層32の各種部分に接続するため、それを介して延びる接点を備えた中間誘電体層を形成することができる。これに続いて、半導体主要部10の各種デバイスを接続する多層金属配線(multi-level metal interconnect)が形成される。

【0020】判りやすく示した実施例を参照しながら本発明を説明してきたが、本説明は限定された意味で解釈されることを意図していない。この説明を参照すれば、本発明の別の実施例と同様に、実施例をいろいろ修正したり結合したりできることは、当業者には明らかである。したがって、添付の請求の範囲は、かかる修正あるいは実施例の全てを包含するように意図されている。

【0021】以上の説明に関して更に以下の項を開示する。

1. ポリシリコン線のケイ化プロセスであって、前記ポリシリコン線の上にチタンの層を堆積させるステップと、前記チタンの層を前記ポリシリコン線と反応させてケイ化物層を生成するステップと、前記ケイ化物層の上に熱処理被覆層を堆積させるステップと、前記熱処理被覆層を堆積させるステップの後に、600℃より高い温度で前記ケイ化物層を熱処理するステップと、を含むことを特徴とするケイ化プロセス。

【0022】2. 第1項記載のケイ化プロセスであって、前記熱処理被覆層は窒化チタンを含むことを特徴とするケイ化プロセス。

6

【0023】3. 第1項記載のケイ化プロセスであって、前記熱処理被覆層はチタニウムタングステンを含むことを特徴とするケイ化プロセス。

【0024】4. 第1項記載のケイ化プロセスであって、前記熱処理被覆層は窒化シリコンを含むことを特徴とするケイ化プロセス。

【0025】5. 第1項記載のケイ化プロセスであって、前記熱処理被覆層は金属カーバイドを含むことを特徴とするケイ化プロセス。

10 【0026】6. 第1項記載のケイ化プロセスであって、前記熱処理被覆層を約200オングストロームから2000オングストロームの厚さに堆積させることを特徴とするケイ化プロセス。

【0027】7. 第1項記載のケイ化プロセスであって、前記反応ステップの前に、前記チタンの層の上に反応被覆層を堆積させるステップをさらに含み、前記熱処理被覆層を堆積させる前記ステップは、前記反応ステップの後でかつ前記熱処理ステップの前に発生することを特徴とするケイ化プロセス。

20 【0028】8. 第1項記載のケイ化プロセスであって、前記熱処理ステップの前に熱処理前非晶質化打ち込みステップを実行するステップをさらに含むことを特徴とするケイ化プロセス。

【0029】9. 第8項記載のケイ化プロセスであって、前記反応ステップの前に反応前非晶質化打ち込みを実行するステップをさらに含むことを特徴とするケイ化プロセス。

30 【0030】10. 第1項記載のケイ化プロセスであって、前記熱処理ステップは、前記ケイ化物層をより高い抵抗率の相からより低い抵抗率の相に変え、前記反応前非晶質化打ち込みステップは、前記より低い抵抗率の相に変わったケイ化物の割合を増加することを特徴とするケイ化プロセス。

【0031】11. ポリシリコン線を有する半導体主要部用のケイ化プロセスであって、前記ポリシリコン線の上にチタンの層を堆積させるステップと、前記ポリシリコン線の上に反応被覆層を堆積させるステップと、前記反応被覆層を堆積させるステップの後で、前記チタンの層を前記ポリシリコン線と反応させてケイ化物層とチタンの層とを生成し、前記反応被覆層は、前記反応ステップ中に前記ケイ化物層に異物が入ることを防止するステップと、前記チタンの層と前記被覆層とを除去するステップと、前記除去するステップの後で、前記ケイ化物層の上に熱処理被覆層を堆積させるステップと、約850℃の温度で前記ケイ化物層を熱処理し、前記熱処理被覆層は、前記熱処理ステップ中に前記ケイ化物層に異物が入ることを防止するステップと、を含むことを特徴とするケイ化プロセス。

50 【0032】12. 第11項記載のケイ化プロセスであって、前記反応させるステップの前に、砒素、アンチモ

7

ン、ゲルマニウムから構成されるグループから選択された種を打ち込むことにより、反応前非晶質化打ち込みを実行するステップをさらに含むことを特徴とするケイ化プロセス。

【0033】13. 第12項記載のケイ化プロセスであって、前記熱処理ステップの前に、砒素、アンチモン、ゲルマニウムから構成されるグループから選択された種を打ち込むことにより、熱処理前非晶質化打ち込みを実行するステップをさらに含むことを特徴とするケイ化プロセス。

【0034】14. 第13項記載のケイ化プロセスであって、前記熱処理ステップは、前記ケイ化物層をより高い抵抗率の相からより低い抵抗率の相に変え、前記反応前非晶質化打ち込みステップは、前記より低い抵抗率の相に変わったケイ化物の割合を増加することを特徴とするケイ化プロセス。

【0035】15. ポリシリコン層の上にチタン層を堆積させるステップと、前記チタン層の上に窒化チタンの第1の層を堆積させるステップと、前記窒化チタン層を前記ポリシリコン層と反応させてケイ化物層を形成するステップと、前記第1の窒化チタン層を除去するステップと、前記ケイ化物層の上に窒化チタンの第2の層を堆

シリアル番号

提出日

T I - 1 8 9 5 1 (本願と同時に)

【図面の簡単な説明】

【図1】本発明によるケイ化プロセスを実行できる半導体主要部の断面図。

【図2】本発明によるケイ化プロセスで、チタン層20の上に反応被覆層22が堆積した段階における図1の半導体主要部の断面図。

【図3】本発明によるケイ化プロセスで、窒素を含む雰囲気においてチタン層20を反応させることにより、ケイ化物層32と層34が形成された段階における図1の半導体主要部の断面図。

【図4】本発明によるケイ化プロセスで、ケイ化反応ステップが終わり、反応被覆層22と層34が除去された段階における図1の半導体主要部の断面図。

【図5】本発明によるケイ化プロセスで、オプションの熱処理前非晶質化打ち込みが終わり、ケイ化物層32の上に熱処理被覆層36が堆積した段階における図1の半

8

*積させるステップと、前記ケイ化物層を熱処理するステップと、第2の窒化チタン層を除去するステップと、を含むことを特徴とするケイ化プロセス。

【0036】16. 第15項記載のケイ化プロセスであって、前記第1と第2の窒化チタン層は、約200オングストロームから2000オングストロームの厚さを有することを特徴とするケイ化プロセス。

【0037】17. 被覆層を使用してケイ化物の面積抵抗率を減少させるケイ化チタンのプロセス。チタンの層20を堆積させる。つぎに反応被覆層22を堆積させて、後続の反応ステップ中にチタン層20に異物が入ることを防止する。つぎに反応被覆層22が除去されると、熱処理被覆層36を堆積させ後続の熱処理ステップ中にケイ化物層32に異物が入ることを防止する。つぎにケイ化物の熱処理が実行されより低い抵抗率の相のケイ化物に変えることが達成される。本発明の利点は、ポリシリコンの細線用ケイ化物の面積抵抗率を小さくするケイ化プロセスを提供することである。

【0038】

【関連特許出願に対する相互参照】以下に示す同時係属の米国特許出願を本願に組み入れる。

発明者

Paranjpeほか

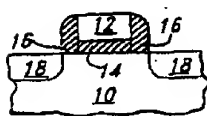
*導体主要部の断面図。

【図6】本発明によるケイ化プロセスで、ケイ化プロセスが完了し、熱処理被覆層36が除去された段階における図1の半導体主要部の断面図。

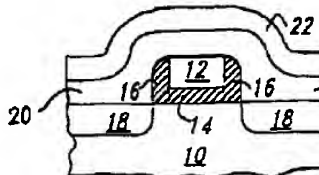
【符号の説明】

- 10 半導体主要部
- 12 ポリシリコンゲート
- 14 ゲート酸化膜
- 16 誘電体側壁
- 18 ソース/ドレイン領域
- 20 チタン層
- 22 反応被覆層
- 32 ケイ化物層
- 34 未反応のチタンとTiNとの化合物の層
- 36 熱処理被覆層

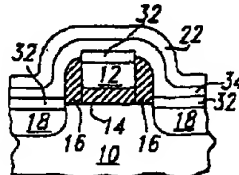
【図1】



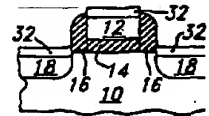
【図2】



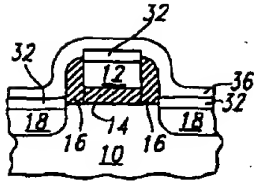
【図3】



【図4】



【図 5】



【図 6】

